

PATENT  
81751.0065  
Express Mail Label No. EV 325 217 390 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Takahiro IMAI

Serial No: Not assigned

Filed: September 12, 2003

For: Semiconductor Device and Method of  
Manufacturing the Same, Circuit Board,  
and Electronic Instrument

Art Unit: Not assigned

Examiner: Not assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-277454 which was filed September 24, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: September 12, 2003

By: 

Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月24日

出 願 番 号

Application Number:

特願2002-277454

[ ST.10/C ]:

[ JP2002-277454 ]

出 願 人

Applicant(s):

セイコーエプソン株式会社

2003年 7月 3日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3052916



【書類名】 特許願

【整理番号】 EP-0396101

【提出日】 平成14年 9月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/00

【発明者】

    【住所又は居所】 山形県酒田市十里塚 1 6 6 番地 3 東北エプソン株式会社  
社内

    【氏名】 今井 隆浩

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090398

    【弁理士】

    【氏名又は名称】 大淵 美千栄

    【電話番号】 03-5397-0891

【手数料の表示】

    【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 (a) 集積回路及び電極が形成された半導体基板に第 1 の面から溝を形成すること、

(b) 少なくとも前記溝の内面に絶縁層を形成すること、

(c) 前記溝の内面で前記絶縁層上に導電層を形成すること、

(d) 前記半導体基板を前記第 1 の面とは反対側の第 2 の面から前記溝が露出する厚さまで研磨して、前記半導体基板を、前記導電層が側面に露出してなる複数の前記半導体チップに分割すること、

(e) 複数の前記半導体チップを積層すること、及び、

(f) 複数の前記半導体チップのうち、いずれかの前記半導体チップの前記導電層と、他の前記半導体チップの前記導電層と、を電氣的に接続することを含む半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

前記 (b) 工程で、前記絶縁層を、前記溝の内面から前記第 1 の面にかけて連続的に形成する半導体装置の製造方法。

【請求項 3】 請求項 1 又は請求項 2 に記載の半導体装置の製造方法において、

前記 (c) 工程で、前記導電層を前記溝の内面から前記第 1 の面にかけて連続的に形成する半導体装置の製造方法。

【請求項 4】 請求項 1 から請求項 3 のいずれかに記載の半導体装置の製造方法において、

前記 (c) 工程で、前記導電層を前記電極に電氣的に接続させる半導体装置の製造方法。

【請求項 5】 請求項 1 から請求項 4 のいずれかに記載の半導体装置の製造方法において、

前記 (e) 工程で、複数の前記半導体チップを、前記電極の形成された面が同

一方向を向くように積層する半導体装置の製造方法。

【請求項 6】 請求項 1 から請求項 4 のいずれかに記載の半導体装置の製造方法において、

前記（e）工程で、複数の前記半導体チップを、いずれかの前記半導体チップの前記電極の形成された面が他の前記半導体チップの前記電極の形成された面とは反対方向を向くように積層する半導体装置の製造方法。

【請求項 7】 請求項 1 から請求項 6 のいずれかに記載の半導体装置の製造方法において、

前記（e）工程は、前記半導体チップ同士の上に絶縁部材を設けることを含む半導体装置の製造方法。

【請求項 8】 請求項 7 記載の半導体装置の製造方法において、

前記（e）工程で、前記絶縁部材を、前記半導体チップの側面よりも突出するように設ける半導体装置の製造方法。

【請求項 9】 請求項 1 から請求項 8 のいずれかに記載の半導体装置の製造方法において、

前記（f）工程は、前記導電層同士を電氣的に接続する第 2 の導電層を、少なくとも 1 つの前記半導体チップの側面に形成することを含む半導体装置の製造方法。

【請求項 10】 請求項 9 記載の半導体装置の製造方法において、

前記（f）工程で、前記第 2 の導電層を、前記半導体チップの高さ方向に延びるように形成することで、前記半導体チップの幅方向に一致してなる前記導電層同士を電氣的に接続する半導体装置の製造方法。

【請求項 11】 請求項 9 記載の半導体装置の製造方法において、

前記（f）工程で、前記第 2 の導電層を、前記半導体チップの幅方向に延びる部分を有するように形成することで、前記半導体チップの幅方向にずれてなる前記導電層同士を電氣的に接続する半導体装置の製造方法。

【請求項 12】 請求項 8 を引用する請求項 11 記載の半導体装置の製造方法において、

前記（f）工程で、前記第 2 の導電層の一部を前記絶縁部材の前記突出部に形

成する半導体装置の製造方法。

【請求項 1 3】 請求項 9 から請求項 1 2 のいずれかに記載の半導体装置の製造方法において、

前記（f）工程で、前記第 2 の導電層を、ろう材によって形成する半導体装置の製造方法。

【請求項 1 4】 請求項 9 から請求項 1 2 のいずれかに記載の半導体装置の製造方法において、

前記（f）工程で、前記第 2 の導電層を、導電性材料の微粒子を含む溶媒を吐出することで形成する半導体装置の製造方法。

【請求項 1 5】 請求項 1 から請求項 1 4 のいずれかに記載の半導体装置の製造方法において、

少なくとも前記（d）工程後に、

（g）複数の前記半導体チップを基板に搭載すること、及び、

（h）前記半導体チップを前記基板の配線パターンに電氣的に接続することをさらに含む半導体装置の製造方法。

【請求項 1 6】 請求項 1 5 記載の半導体装置の製造方法において、

前記（e）及び（g）工程を終了した後に、前記（f）及び（h）工程を行う半導体装置の製造方法。

【請求項 1 7】 請求項 1 5 又は請求項 1 6 記載の半導体装置の製造方法において、

前記（h）工程で、前記導電層を、ろう材によって前記配線パターンに電氣的に接続する半導体装置の製造方法。

【請求項 1 8】 請求項 1 5 又は請求項 1 6 記載の半導体装置の製造方法において、

前記（h）工程で、前記導電層を、導電性材料の微粒子を含む溶媒を吐出することで前記配線パターンに電氣的に接続する半導体装置の製造方法。

【請求項 1 9】 請求項 1 から請求項 1 8 のいずれかに記載の方法によって製造されてなる半導体装置。

【請求項 2 0】 第 1 の面を有し、集積回路及び電極が形成されるとともに

積層されてなる複数の半導体チップと、

前記半導体チップの前記第 1 の面からそれに連続する側面にかけて連続的に形成された絶縁層と、

前記半導体チップの側面で前記絶縁層上に形成された導電層と、

前記複数の半導体チップのうち、いずれかの半導体チップの前記導電層と、他の半導体チップの前記導電層と、を電氣的に接続する第 2 の導電層と、

を含み、

前記半導体チップの側面の前記導電層から露出する部分は、前記絶縁層で覆われてなり、

前記第 2 の導電層は、少なくとも 1 つの半導体チップの側面に形成されてなる半導体装置。

【請求項 2 1】 請求項 2 0 記載の半導体装置において、

前記導電層は、前記半導体チップの側面から前記第 1 の面にかけて連続的に形成されてなる半導体装置。

【請求項 2 2】 請求項 2 0 又は請求項 2 1 に記載の半導体装置において、

前記導電層は、前記電極に電氣的に接続されてなる半導体装置。

【請求項 2 3】 請求項 2 0 から請求項 2 2 のいずれかに記載の半導体装置において、

前記複数の半導体チップは、前記電極の形成された面が同一方向を向くように積層されてなる半導体装置。

【請求項 2 4】 請求項 2 0 から請求項 2 2 のいずれかに記載の半導体装置において、

前記複数の半導体チップは、いずれかの前記半導体チップの前記電極の形成された面が他の前記半導体チップの前記電極の形成された面とは反対方向を向くように積層されてなる半導体装置。

【請求項 2 5】 請求項 2 0 から請求項 2 4 のいずれかに記載の半導体装置において、

前記半導体チップ同士の間には絶縁部材が設けられてなる半導体装置。

【請求項 2 6】 請求項 2 5 記載の半導体装置において、



前記絶縁部材は、前記半導体チップの側面よりも突出してなる半導体装置。

【請求項 2 7】 請求項 2 0 から請求項 2 6 のいずれかに記載の半導体装置において、

前記第 2 の導電層は、前記半導体チップの高さ方向に延びてなり、前記半導体チップの幅方向に一致してなる前記導電層同士を電氣的に接続する半導体装置。

【請求項 2 8】 請求項 2 0 から請求項 2 6 のいずれかに記載の半導体装置において、

前記第 2 の導電層は、前記半導体チップの幅方向に延びる部分を有し、前記半導体チップの幅方向にずれてなる前記導電層同士を電氣的に接続する半導体装置。

【請求項 2 9】 請求項 2 6 を引用する請求項 2 8 記載の半導体装置において、

前記第 2 の導電層の一部は、前記絶縁部材の前記突出部に形成されてなる半導体装置。

【請求項 3 0】 請求項 2 0 から請求項 2 9 のいずれかに記載の半導体装置において、

前記第 2 の導電層は、ろう材によって形成されてなる半導体装置。

【請求項 3 1】 請求項 2 0 から請求項 2 9 のいずれかに記載の半導体装置において、

前記第 2 の導電層は、導電性材料の微粒子を含む溶媒によって形成されてなる半導体装置。

【請求項 3 2】 請求項 2 0 から請求項 3 1 のいずれかに記載の半導体装置において、

配線パターンが形成された基板をさらに含み、

前記複数の半導体チップは、前記基板に搭載されるとともに、前記導電層を介して前記配線パターンに電氣的に接続されてなる半導体装置。

【請求項 3 3】 請求項 2 0 から請求項 3 2 のいずれかに記載の半導体装置において、

前記複数の半導体チップの外形の大きさは、ほぼ同じである半導体装置。

【請求項 3 4】 請求項 2 0 から請求項 3 2 のいずれかに記載の半導体装置において、

前記複数の半導体チップのうち、いずれかの前記半導体チップの外形の大きさは、他の前記半導体チップの外形の大きさとは異なっている半導体装置。

【請求項 3 5】 請求項 1 9 から請求項 3 4 のいずれかに記載の半導体装置が実装された回路基板。

【請求項 3 6】 請求項 1 9 から請求項 3 4 のいずれかに記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0 0 0 2】

【発明の背景】

3 次元の実装形態の半導体装置が開発されている。例えば、ワイヤによって上下の電気的な接続を図ることが知られているが、各半導体チップの電極にワイヤをボンディングしなければならず、多数の半導体チップを積層すると工程が複雑になってしまう。さらに、ワイヤボンディングの領域を露出させる必要があるので、半導体チップの外形及び電極の位置などが制限されてしまう。

【0 0 0 3】

また、半導体チップに貫通穴を形成し、貫通穴の内面に絶縁層を形成し、その内側に貫通電極を形成することが知られている。その場合、小さな貫通穴の内面に絶縁層を形成することが難しく、その内側に導電電極を形成することも難しい。また、集積回路の設計を貫通穴を避けて行う必要があるので、設計上の制約が多くなってしまう。

【0 0 0 4】

本発明の目的は、薄型かつ高集積の半導体装置を簡単な工程で製造することにある。

【0 0 0 5】

【課題を解決するための手段】

(1) 本発明に係る半導体装置の製造方法は、(a) 集積回路及び電極が形成された半導体基板に第1の面から溝を形成すること、

(b) 少なくとも前記溝の内面に絶縁層を形成すること、

(c) 前記溝の内面で前記絶縁層上に導電層を形成すること、

(d) 前記半導体基板を前記第1の面とは反対側の第2の面から前記溝が露出する厚さまで研磨して、前記半導体基板を、前記導電層が側面に露出してなる複数の前記半導体チップに分割すること、

(e) 複数の前記半導体チップを積層すること、及び、

(f) 複数の前記半導体チップのうち、いずれかの前記半導体チップの前記導電層と、他の前記半導体チップの前記導電層と、を電氣的に接続することを含む。

【0006】

本発明によれば、半導体チップの側面に形成された導電層によって、複数の積層された半導体チップを電氣的に接続する。導電層は、半導体基板の状態で一括して形成することができるので、製造工程が簡単である。また、導電層は他の半導体チップによって覆われることがないので、半導体チップの外形及び電極の位置に制限されることなく、設計自由度の高い半導体装置を製造することができる。

【0007】

(2) この半導体装置の製造方法において、

前記(b)工程で、前記絶縁層を、前記溝の内面から前記第1の面にかけて連続的に形成してもよい。

【0008】

これによって、絶縁層で半導体チップの角部を覆うことができる。したがって、半導体チップの角部を絶縁層で保護することができるので、チップングの発生及び拡大を低減し、また、例えば第1の面に形成された集積回路の素子及び配線の剥離を防止することができる。

【0009】

(3) この半導体装置の製造方法において、  
前記(c)工程で、前記導電層を前記溝の内面から前記第1の面にかけて連続的に形成してもよい。

【0010】

これによれば、導電層を配線となるように形成してもよい。

【0011】

(4) この半導体装置の製造方法において、  
前記(c)工程で、前記導電層を前記電極に電氣的に接続させてもよい。

【0012】

(5) この半導体装置の製造方法において、  
前記(e)工程で、複数の前記半導体チップを、前記電極の形成された面が同一方向を向くように積層してもよい。

【0013】

(6) この半導体装置の製造方法において、  
前記(e)工程で、複数の前記半導体チップを、いずれかの前記半導体チップの前記電極の形成された面が他の前記半導体チップの前記電極の形成された面とは反対方向を向くように積層してもよい。

【0014】

(7) この半導体装置の製造方法において、  
前記(e)工程は、前記半導体チップ同士の間絶縁部材を設けることを含んでもよい。

【0015】

これによって、半導体チップ同士が電氣的にショートするのを防ぐことができる。

【0016】

(8) この半導体装置の製造方法において、  
前記(e)工程で、前記絶縁部材を、前記半導体チップの側面よりも突出するように設けてもよい。

【0017】

これによれば、絶縁部材の突出部によって、例えば絶縁部材の両側に配置される導電層同士が電氣的にショートするのを防ぐことができる。

【 0 0 1 8 】

( 9 ) この半導体装置の製造方法において、

前記 ( f ) 工程は、前記導電層同士を電氣的に接続する第 2 の導電層を、少なくとも 1 つの前記半導体チップの側面に形成することを含んでもよい。

【 0 0 1 9 】

これによれば、第 2 の導電層を半導体チップの側面に形成するので、半導体チップ同士の間を厚くすることなく、極めて薄い半導体装置を製造することができる。

【 0 0 2 0 】

( 1 0 ) この半導体装置の製造方法において、

前記 ( f ) 工程で、前記第 2 の導電層を、前記半導体チップの高さ方向に延びるように形成することで、前記半導体チップの幅方向に一致してなる前記導電層同士を電氣的に接続してもよい。

【 0 0 2 1 】

( 1 1 ) この半導体装置の製造方法において、

前記 ( f ) 工程で、前記第 2 の導電層を、前記半導体チップの幅方向に延びる部分を有するように形成することで、前記半導体チップの幅方向にずれてなる前記導電層同士を電氣的に接続してもよい。

【 0 0 2 2 】

これによれば、さらに設計自由度の高い半導体装置を製造することができる。

【 0 0 2 3 】

( 1 2 ) この半導体装置の製造方法において、

前記 ( f ) 工程で、前記第 2 の導電層の一部を前記絶縁部材の前記突出部に形成してもよい。

【 0 0 2 4 】

これによれば、第 2 の導電層が他の部材と電氣的にショートするのを防ぐことができる。

【 0 0 2 5 】

( 1 3 ) この半導体装置の製造方法において、  
前記 ( f ) 工程で、前記第 2 の導電層を、ろう材によって形成してもよい。

【 0 0 2 6 】

( 1 4 ) この半導体装置の製造方法において、  
前記 ( f ) 工程で、前記第 2 の導電層を、導電性材料の微粒子を含む溶媒を吐出することで形成してもよい。

【 0 0 2 7 】

これによれば、溶媒を吐出させることで、例えば複数の第 2 の導電層を一括して形成することができる。

【 0 0 2 8 】

( 1 5 ) この半導体装置の製造方法において、  
少なくとも前記 ( d ) 工程後に、  
( g ) 複数の前記半導体チップを基板に搭載すること、及び、  
( h ) 前記半導体チップを前記基板の配線パターンに電氣的に接続することをさらに含んでもよい。

【 0 0 2 9 】

( 1 6 ) この半導体装置の製造方法において、  
前記 ( e ) 及び ( g ) 工程を終了した後に、前記 ( f ) 及び ( h ) 工程を行ってもよい。

【 0 0 3 0 】

これによれば、複数の半導体チップを積層し、かつ、それらを基板に搭載した後に、電氣的な接続工程を行う。すなわち、組み立て工程と、電氣的な接続工程とを 1 回ずつ行うことで半導体装置を製造することができるので、製造工程が極めて簡単になる。

【 0 0 3 1 】

( 1 7 ) この半導体装置の製造方法において、  
前記 ( h ) 工程で、前記導電層を、ろう材によって前記配線パターンに電氣的に接続してもよい。

【 0 0 3 2 】

( 1 8 ) この半導体装置の製造方法において、  
前記 ( h ) 工程で、前記導電層を、導電性材料の微粒子を含む溶媒を吐出することで前記配線パターンに電氣的に接続してもよい。

【 0 0 3 3 】

これによれば、溶媒を吐出させることで、例えば複数の導電層を一括して配線パターンに電氣的に接続することができる。

【 0 0 3 4 】

( 1 9 ) 本発明に係る半導体装置は、上記方法によって製造されてなる。

【 0 0 3 5 】

( 2 0 ) 本発明に係る半導体装置は、第 1 の面を有し、集積回路及び電極が形成されるとともに積層されてなる複数の半導体チップと、

前記半導体チップの前記第 1 の面からそれに連続する側面にかけて連続的に形成された絶縁層と、

前記半導体チップの側面で前記絶縁層上に形成された導電層と、

前記複数の半導体チップのうち、いずれかの半導体チップの前記導電層と、他の半導体チップの前記導電層と、を電氣的に接続する第 2 の導電層と、

を含み、

前記半導体チップの側面の前記導電層から露出する部分は、前記絶縁層で覆われてなり、

前記第 2 の導電層は、少なくとも 1 つの半導体チップの側面に形成されてなる。

【 0 0 3 6 】

本発明によれば、半導体チップの側面の導電層から露出する部分が絶縁層で覆われているので、導電層以外の部分での、外部との電氣的な導通を遮断することができる。また、導電層は他の半導体チップによって覆われることがないので、半導体チップの外形及び電極の位置に制限されることなく、設計自由度の高い半導体装置を提供することができる。さらに、第 2 の導電層は半導体チップの側面に形成されるので、半導体チップ同士の間を厚くすることなく、極めて薄い半導

体装置を提供することができる。

【 0 0 3 7 】

( 2 1 ) この半導体装置において、

前記導電層は、前記半導体チップの側面から前記第 1 の面にかけて連続的に形成されてもよい。

【 0 0 3 8 】

これによれば、導電層は配線となるように形成されてもよい。

【 0 0 3 9 】

( 2 2 ) この半導体装置において、

前記導電層は、前記電極に電氣的に接続されてもよい。

【 0 0 4 0 】

( 2 3 ) この半導体装置において、

前記複数の半導体チップは、前記電極の形成された面が同一方向を向くように積層されてもよい。

【 0 0 4 1 】

( 2 4 ) この半導体装置において、

前記複数の半導体チップは、いずれかの前記半導体チップの前記電極の形成された面が他の前記半導体チップの前記電極の形成された面とは反対方向を向くように積層されてもよい。

【 0 0 4 2 】

( 2 5 ) この半導体装置において、

前記半導体チップ同士の間には絶縁部材が設けられてもよい。

【 0 0 4 3 】

これによって、半導体チップ同士が電氣的にショートするのを防ぐことができる。

【 0 0 4 4 】

( 2 6 ) この半導体装置において、

前記絶縁部材は、前記半導体チップの側面よりも突出してもよい。

【 0 0 4 5 】



これによれば、絶縁部材の突出部によって、例えば絶縁部材の両側に配置される導電層同士が電氣的にショートするのを防ぐことができる。

【 0 0 4 6 】

( 2 7 ) この半導体装置において、

前記第 2 の導電層は、前記半導体チップの高さ方向に延びてなり、前記半導体チップの幅方向に一致してなる前記導電層同士を電氣的に接続してもよい。

【 0 0 4 7 】

( 2 8 ) この半導体装置において、

前記第 2 の導電層は、前記半導体チップの幅方向に延びる部分を有し、前記半導体チップの幅方向にずれてなる前記導電層同士を電氣的に接続してもよい。

【 0 0 4 8 】

これによれば、さらに設計自由度の高い半導体装置を提供することができる。

【 0 0 4 9 】

( 2 9 ) この半導体装置において、

前記第 2 の導電層の一部は、前記絶縁部材の前記突出部に形成されてもよい。

【 0 0 5 0 】

これによれば、第 2 の導電層が他の部材と電氣的にショートするのを防ぐことができる。

【 0 0 5 1 】

( 3 0 ) この半導体装置において、

前記第 2 の導電層は、ろう材によって形成されてもよい。

【 0 0 5 2 】

( 3 1 ) この半導体装置において、

前記第 2 の導電層は、導電性材料の微粒子を含む溶媒によって形成されてもよい。

【 0 0 5 3 】

( 3 2 ) この半導体装置において、

配線パターンが形成された基板をさらに含み、

前記複数の半導体チップは、前記基板に搭載されるとともに、前記導電層を介

して前記配線パターンに電氣的に接続されてもよい。

【 0 0 5 4 】

( 3 3 ) この半導体装置において、

前記複数の半導体チップの外形の大きさは、ほぼ同じであってもよい。

【 0 0 5 5 】

( 3 4 ) この半導体装置において、

前記複数の半導体チップのうち、いずれかの前記半導体チップの外形の大きさは、他の前記半導体チップの外形の大きさとは異なってもよい。

【 0 0 5 6 】

( 3 5 ) 本発明に係る回路基板には、上記半導体装置が実装されている。

【 0 0 5 7 】

( 3 6 ) 本発明に係る電子機器は、上記半導体装置を有する。

【 0 0 5 8 】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して説明する。図 1 ～図 1 3 は、本発明を適用した実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、半導体基板（例えばシリコン基板）1 0 を使用する。半導体基板 1 0 は、半導体ウエハであってもよい。図 1 では、半導体ウエハの一部が示されている。半導体基板 1 0 の平面形状は限定されないが、例えば半導体ウエハの場合には円形であることが一般的である。

【 0 0 5 9 】

半導体基板 1 0 には、複数の集積回路（例えばトランジスタやメモリを有する回路）1 2 が形成されている。半導体基板 1 0 には、複数の電極（例えばパッド）1 4 が形成されている。各電極 1 4 は、集積回路 1 2 に電氣的に接続されている。各電極 1 4 は、集積回路 1 2 に重ならない領域（図 1 では集積回路の外側の領域）に形成されてもよい。各電極 1 4 は、アルミニウム系又は銅系の金属で形成されてもよい。電極 1 4 の表面の形状は特に限定されないが矩形であることが多い。半導体基板 1 0 が半導体ウエハである場合、複数の半導体チップとなる各領域に、2 つ以上（1 グループ）の電極 1 4 が形成される。図 1 に示す例では、

電極 1 4 は、半導体チップとなる領域の 4 辺に沿って配列されているが、2 辺に沿って配列されてもよいし、中央部に配列されてもよい。

【 0 0 6 0 】

半導体基板 1 0 は、集積回路 1 2 が形成された側の第 1 の面 2 0 と、それとは反対の第 2 の面 2 2 と、を有する。複数の電極 1 4 は、第 1 の面 2 0 から外部に露出している。

【 0 0 6 1 】

半導体基板 1 0 には、少なくとも 1 層の絶縁層（第 2 の絶縁層）1 6 が形成されている。図 2 に示す例では、絶縁層 1 6 は、半導体基板 1 0 の第 1 の面 2 0 に形成されている。絶縁層 1 6 は、パッシベーション膜と呼ばれ、例えば、 $\text{SiO}_2$ 、 $\text{SiN}$ 、ポリイミド樹脂などで形成することができる。絶縁層 1 6 は、電極 1 4 の少なくとも一部を露出する開口部 1 8 を有する。絶縁層 1 6 は、電極 1 4 の表面を覆って形成した後、その一部をエッチングして電極 1 4 の一部を露出させてもよい。図 2 に示すように、絶縁層 1 6 は、電極 1 4 の中央部を開口して、外周端部を覆うように形成してもよい。

【 0 0 6 2 】

図 1 及び図 2 に示される仮想ライン 2 4 は、半導体基板 1 0 を複数の領域（半導体チップとなる領域）に区画している。仮想ライン 2 4 は、集積回路 1 2 及び電極 1 4 を避けて形成されてもよい。各領域（半導体チップ）の外形は、矩形、円形又はその他の多角形であってもよいし、限定されるものではない。

【 0 0 6 3 】

図 3 に示すように、半導体基板 1 0 に第 1 の面 2 0 から溝 3 0 を形成する。本実施の形態では、溝 3 0 は仮想ライン 2 4 に沿って形成する。すなわち、溝 3 0 は、半導体基板 1 0 を複数の半導体チップとなる領域に区画するように形成する。図 3 に示す例では、溝 3 0 は、集積回路 1 2 及び電極 1 4 を避けて形成している。溝 3 0 は、半導体基板 1 0 を、ブレードなどで切削することにより機械的に形成してもよいし、エッチングなどで化学的に形成してもよいし、レーザなどで光学的に形成してもよい。

【 0 0 6 4 】

溝 3 0 は、第 1 の面 2 0 から傾斜してなるテーパ（例えば溝の開口方向に広がるテーパ）が付された壁面を有してもよいし、第 1 の面 2 0 から垂直に落ちる壁面を有してもよい。溝 3 0 は、底面が形成されて凹状になっていてもよいし、底面が形成されずに V 状になっていてもよい。

## 【 0 0 6 5 】

溝 3 0 は、半導体基板 1 0 を貫通しないように形成する。溝 3 0 は、完成品としての半導体チップの厚さよりも深くなるように形成する。また、溝 3 0 は、半導体基板 1 0 の内部に形成される集積回路 1 2 の素子及び配線よりも深くなるように形成する。なお、半導体基板 1 0 の溝 3 0 の内面には、半導体部分（例えばシリコン）が露出する。

## 【 0 0 6 6 】

図 4 に示すように、半導体基板 1 0 に絶縁層 4 0 を形成する。絶縁層 4 0 の材料としては、酸化膜（例えば  $\text{SiO}_2$ ）、窒化膜（例えば  $\text{SiN}$ ）又は樹脂（例えばポリイミド樹脂）などが挙げられる。

## 【 0 0 6 7 】

絶縁層 4 0 は、少なくとも溝 3 0 の内面に形成する。図 4 に示す例では、絶縁層 4 0 は、溝 3 0 の内壁面及び底面に形成しているが、溝 3 0 の内壁面のみに形成しても構わない。ただし、絶縁層 4 0 は、溝 3 0 を埋め込まないように形成する。すなわち、絶縁層 4 0 によって溝（又は凹部）を形成する。図 4 に示す例では、溝 3 0 の内面（図 4 では内壁面及び底面）の全部は、絶縁層 4 0 で覆われている。

## 【 0 0 6 8 】

絶縁層 4 0 を溝 3 0 の内面から第 1 の面 2 0 にかけて連続的に形成してもよい。例えば、半導体基板 1 0 の第 1 の面 2 0 及び溝 3 0 の内面を覆って絶縁層 4 0 を形成し、必要な部分をエッチングして絶縁層 4 0 から露出させてもよい。図 4 に示す例では、絶縁層 4 0 の電極 1 4 を覆う一部をエッチングして、電極 1 4 を露出する開口部 4 2 を形成する。

## 【 0 0 6 9 】

溝 3 0 の内面（詳しくは内壁面）と第 1 の面 2 0 との間の角部は、半導体チッ

ブの角部に相当するので、絶縁層 4 0 によって半導体チップの角部を覆うことができる（図 1 2 参照）。したがって、半導体チップの角部を絶縁層で保護することができるので、チップングの発生及び拡大を低減し、また、第 1 の面 2 0 に形成された集積回路 1 2 の素子及び配線の剥離を防止することができる。

#### 【 0 0 7 0 】

なお、第 1 の面 2 0 に絶縁層（第 2 の絶縁層） 1 6 が形成されている場合、絶縁層 4 0 の一部（第 1 の面上の部分）を絶縁層（第 2 の絶縁層） 1 6 上に形成する。

#### 【 0 0 7 1 】

図 5 に示すように、半導体基板 1 0 に導電層 5 0 を形成する。導電層 5 0 は、銅（C u）、クロム（C r）、チタン（T i）、ニッケル（N i）、チタンタングステン（T i - W）、金（A u）、アルミニウム（A l）、ニッケルバナジウム（N i V）、タングステン（W）のうちのいずれかを積層して、あるいはいずれかの一層で形成してもよい。導電層 5 0 の形成工程としては、フォトリソグラフィを適用した後にエッチングすることで形成してもよいし、スパッタリングなど形成してもよいし、無電解メッキによるアディティブ法を適用することで形成してもよい。あるいは、インクジェット方式を使用して導電層 5 0 を形成してもよい。これによれば、インクジェットプリンタ用に実用化された技術を応用することで、高速かつ導電層 5 0 の材料を無駄なく経済的に設けることが可能である。

#### 【 0 0 7 2 】

導電層 5 0 は、溝 3 0 の内面（詳しくは内壁面）で絶縁層 4 0 上に形成する。図 5 に示す例では、導電層 5 0 は、溝 3 0 の内壁面及び底面に形成しているが、溝 3 0 の内壁面のみに形成しても構わない。ただし、導電層 5 0 は、溝 3 0 を埋め込まないように形成する。すなわち、絶縁層 5 0 によって溝（又は凹部）を形成する。溝 3 0 の内面と導電層 5 0 との間には、絶縁層 4 0 が介在するので、両者の電氣的な接続が遮断される。

#### 【 0 0 7 3 】

導電層 5 0 は、溝 3 0 の内面に深さ方向に沿って延びるように形成してもよい。

。あるいは、導電層 5 0 は、ランド状（円形又は矩形など）に形成してもよい。溝 3 0 の内面のうち導電層 5 0 から露出する部分は、絶縁層 4 0 が露出する。

## 【 0 0 7 4 】

図 6 は、図 5 の VI-VI 線断面図である。図 6 に示す例では、導電層 5 0 は、溝 3 0 の内側の方向に、絶縁層 4 0 の表面から突起するように形成されている。

## 【 0 0 7 5 】

変形例として、図 7 に示すように、導電層 5 4 は、溝 3 2 の内面において、絶縁層 4 4 の表面と面一になるように形成されてもよい。その場合、導電層 5 4 は絶縁層 4 4 の内部に入り込む。他の変形例として、図 8 に示すように、導電層 5 6 は、溝 3 4 の内面において、絶縁層 4 6 の表面よりも窪むように形成されていてもよい。その場合も、導電層 5 6 は、絶縁層 4 6 の内部に入り込む。ただし、導電層 5 6 は、絶縁層 4 6 で覆わずに露出させる。

## 【 0 0 7 6 】

これらの変形例によれば、導電層 5 4, 5 6 と絶縁層 4 4, 4 6 との密着力が大きくなるので、導電層 5 4, 5 6 を絶縁層 4 4, 4 6 から剥離しにくくすることができる。なお、必要に応じて、導電層の形成工程後に、再度、絶縁層の形成工程を行って、絶縁層における導電層の周囲の部分の厚く形成してもよい。

## 【 0 0 7 7 】

図 5 に示すように、導電層 5 0 を溝 3 0 の内面から第 1 の面 2 0 にかけて連続的に形成してもよい。すなわち、導電層 5 0 は、溝 3 0 の内面から第 1 の面 2 0 の方向に延びるように配線として形成してもよい。

## 【 0 0 7 8 】

図 5 に示すように、導電層 5 0 を電極 1 4 に電氣的に接続させてもよい。導電層 5 0 は、第 1 の面 2 0 に延びてなり、複数の絶縁層 1 6, 4 0 の開口部 1 8, 4 2 内で電極 1 4 と電氣的に接続する接続部 5 2 を有する。接続部 5 2 は、電極 1 4 を覆うように形成してもよい。

## 【 0 0 7 9 】

変形例として、導電層 5 0 を電極 1 4 に電氣的に接続しなくてもよい。すなわち、導電層 5 0 は、ダミー配線（集積回路と導通しない配線）として形成しても

よい。

#### 【 0 0 8 0 】

これによれば、半導体チップの側面に導電層 5 0 を形成することができる。例えば、導電層 5 0 を電極 1 4 に電氣的に接続させれば、半導体チップの側面に、集積回路 1 2 と電氣的に接続した外部端子を容易に形成することができる。したがって、半導体チップ上の配線構造の自由度を向上させることができる。

#### 【 0 0 8 1 】

次に、半導体基板 1 0 の研磨工程を行い、複数の半導体チップ 7 0 に分割する。本実施の形態では、半導体基板 1 0 を、シート 6 0 によって保持した状態で研磨する。シート 6 0 は半導体基板 1 0 の保持部材である。

#### 【 0 0 8 2 】

図 9 に示すように、半導体基板 1 0 に、第 1 の面 2 0 からシート 6 0 を貼り付ける。シート 6 0 は、半導体基板 1 0 を第 1 の面 2 0 から保持する。シート 6 0 は、粘着材であってもよく、例えば、紫外線硬化型樹脂からなる UV テープであってもよい。UV テープによれば、紫外線の照射の有無によって、シート 6 0 の粘着力をコントロールできるので、半導体基板 1 0 の保持及び半導体チップ 7 0 の剥離に適している。

#### 【 0 0 8 3 】

図 9 に示す例では、シート 6 0 と半導体基板 1 0 との間に、樹脂などの充填材 6 2 が設けられ、シート 6 0 は充填材 6 2 を介して半導体基板 1 0 を保持している。充填材 6 2 は、少なくとも半導体基板 1 0 の溝 3 0 に充填され、図 9 に示すように、第 1 の面 2 0 にも設けられてもよい。充填材 6 2 は、シート 6 0 を貼り付ける前に、半導体基板 1 0 に第 1 の面 2 0 から塗布してもよく、あるいは、あらかじめシート 6 0 に設けておき、シート 6 0 を貼り付けることで溝 3 0 に設けてもよい。

#### 【 0 0 8 4 】

変形例として、充填材 6 2 なしで、半導体基板 1 0 にシート 6 0 を貼り付けてもよい。あるいは、シート 6 0 の一部が充填材 6 2 であってもよい。

#### 【 0 0 8 5 】

こうして、図 1 0 に示すように、半導体基板 1 0 を、第 2 の面 2 2 から研磨する。すなわち、半導体基板 1 0 の裏面をポリシングする。例えば、シート 6 0 が貼り付けられた半導体基板 1 0 をステージ（図示しない）に固定し、研磨用治具（図示しない）に備えられた砥石によって、半導体基板 1 0 を第 2 の面 2 2 から機械的に研磨する。本工程では、半導体基板 1 0 を溝 3 0 が露出する厚さまで研磨する。これによって、半導体基板 1 0 を複数の半導体チップ 7 0 に分割するとともに、各半導体チップ 7 0 を薄くすることができる。

## 【 0 0 8 6 】

これによれば、半導体基板 1 0 に第 1 の面 2 0 からシート 6 0 を貼り付けているので、ばらばらに分割された複数の半導体チップ 7 0 を一括して保持することができる。したがって、分割後の複数の半導体チップ 7 0 の取り扱いを容易にすることができる。

## 【 0 0 8 7 】

また、研磨工程のときに、溝 3 0 に充填材 6 2 が設けられているため、研磨工程で生じる粉状の異物が溝 3 0 に入り込むのを防ぐことができる。したがって、半導体チップ 7 0 の損傷及び異物の付着を防止して、半導体装置の信頼性を向上させることができる。

## 【 0 0 8 8 】

図 1 1 に示すように、必要に応じて、複数の半導体チップ 7 0 の研磨面に絶縁層（第 3 の絶縁層）7 2 を形成してもよい。複数の半導体チップ 7 0 がシート 6 0 に保持されていれば、複数の半導体チップ 7 0 の研磨面を一括して絶縁処理することができる。また、図 1 1 に示すように、複数の半導体チップ 7 0 の間に充填材 6 2 が設けられていれば、例えば、複数の半導体チップ 7 0 の研磨面を含む全面に絶縁層 7 2 を形成した後、絶縁層 7 2 における充填材 6 2 の部分をエッチングして除去すればよい。絶縁層 7 2 は、絶縁層 4 0 と同一の材料で形成されてもよい。絶縁層 7 2 を形成することで、半導体チップ 7 0 の研磨面における外部との電氣的な導通を遮断することができる。また、半導体チップ 7 0 の半導体部分（例えばシリコン）の全面を、絶縁層 1 6, 4 0, 7 2 によって覆うことができるので、半導体チップ 7 0 の端子（例えば導電層 5 0）以外の部分での、外部



との電氣的な導通を遮断することができる。

#### 【0089】

その後、半導体チップ70をシート60から剥離する。半導体チップ70とシート60との間に充填材62が設けられている場合には、半導体チップ70を充填材62から剥離する。例えば、それぞれの半導体チップ70を、シート60を介して、ツール（図示しない）によってピックアップする。こうして、個片の半導体チップ70を取り出すことができる。

#### 【0090】

以上の工程によれば、絶縁層40を半導体基板10の溝30の内面に形成する。半導体基板10の溝30の内面は、複数の半導体チップ70の側面に相当する。したがって、半導体基板10の状態で、複数の半導体チップ70の側面を一括して絶縁処理することができる。また、半導体基板10を研磨する前に絶縁層40を形成するので、半導体基板10の割れ及び損傷を回避しつつ、極めて薄い半導体装置を製造することが可能である。

#### 【0091】

上述の工程により、半導体装置1を製造することができる。半導体装置1は、集積回路12及び電極14が形成された半導体チップ70と、絶縁層40と、導電層50と、を含む。絶縁層40は、半導体チップ70の第1の面（図12では集積回路及び電極が形成された面）からそれに連続する側面にかけて連続的に形成されている。絶縁層40は、半導体チップ70の側面の全体を覆うことが好ましい。導電層50は、半導体チップ70の側面で絶縁層40上に形成されている。そして、半導体チップ70の側面の導電層50から露出する部分は、絶縁層40で覆われている。導電層50は、電極14との電氣的な接続部52を有する。なお、その他の構成は、上述した製造方法によって得られる内容である。

#### 【0092】

次に、図13に示すように、複数（図13では4つ）の半導体チップ70（詳しくは半導体装置1）を積層する。半導体チップ70は、他の半導体チップ70の電極14の形成された面又はそれとは反対の面に積層される。複数の半導体チップ70を接着材料84によって接着してもよい。上述の製造方法で得られた半

導体チップ 70 は、極めて薄いため、このように 3 次元の実装形態に使用すると効果的である。

#### 【 0 0 9 3 】

複数の半導体チップ 70 を、電極 14 の形成された面が同一方向（図 13 では基板とは反対方向）を向くように積層してもよい。変形例として、いずれかの半導体チップ 70 の電極 14 の形成された面は、他の半導体チップ 70 の電極 14 の形成された面とは反対方向を向いてもよい。

#### 【 0 0 9 4 】

図 13 に示すように、ほぼ同じ大きさの外形を有する複数の半導体チップ 70 を積層してもよい。その場合、各半導体チップ 70 の外周を一致させてもよい。言い換えれば、複数の半導体チップ 70 を、その外形の全部が重複するように積層してもよい。あるいは、複数の半導体チップ 70 を、その外形の一部が重複するように積層してもよい。

#### 【 0 0 9 5 】

変形例として、異なる大きさの外形を有する複数の半導体チップ 70 を積層してもよい。例えば、半導体チップ 70 にそれよりも外形の小さい他の半導体チップ 70 を順次積層し、全体がピラミッド形状になるようにしてもよい。

#### 【 0 0 9 6 】

図 13 に示すように、複数の半導体チップ 70 を基板 80 に搭載してもよい。基板 80 には、配線パターン 82 が形成されている。図 13 に示す例では、基板 80 は、回路基板（例えばマザーボード）である。回路基板には、他の電子部品（抵抗器、コンデンサ、コイルなど）も搭載される。あるいは、基板 80 は、半導体装置のインターポーザであってもよい。その場合、基板 80 には、電気的な接続部となる外部端子（例えばハンダボール）が形成されている。

#### 【 0 0 9 7 】

複数の半導体チップ 70 を基板 80 上で積層してもよいし、積層した後に基板 80 に搭載してもよい。図 13 に示すように、複数の半導体チップ 70 を、電極 14 の形成された面が基板 80 とは反対方向を向くように、基板 80 に搭載してもよい。変形例として、電極 14 の形成された面が基板 80 の方向を向くように

してもよい。

【 0 0 9 8 】

そして、複数の半導体チップ 7 0 同士を電氣的に接続する。詳しくは、いずれかの半導体チップ 7 0 の導電層 5 0 と、他の半導体チップ 7 0 の導電層 5 0 と、を電氣的に接続する。これによれば、全部の半導体チップ 7 0 を積層した後に、一括して複数の半導体チップ 7 0 同士を電氣的に接続するので、製造工程が簡単である。

【 0 0 9 9 】

複数の半導体チップ 7 0 を基板 8 0 に搭載した場合には、半導体チップ 7 0 を配線パターン 8 2 に電氣的に接続する。半導体チップ 7 0 を、導電層 5 0 を介して、配線パターン 8 2 に電氣的に接続してもよい。

【 0 1 0 0 】

本実施の形態では、それらの電氣的な接続工程を、複数の半導体チップ 7 0 を積層し、かつ、複数の半導体チップ 7 0 を基板 8 0 に搭載した後に行う。こうすることで、組み立て工程と、電氣的な接続工程とを 1 回ずつ行うことで半導体装置を製造することができるので、製造工程が極めて簡単になる。

【 0 1 0 1 】

図 1 3 に示すように、複数の半導体チップ 7 0 の導電層 5 0 同士を、第 2 の導電層 9 0 によって電氣的に接続してもよい。第 2 の導電層 9 0 は、配線となるように細長く形成してもよい。第 2 の導電層 9 0 は、少なくとも 1 つの半導体チップ 7 0 の側面に形成する。第 2 の導電層 9 0 は、半導体チップ 7 0 同士の間を通るように形成する。その場合、第 2 の導電層 9 0 は、半導体チップ 7 0 同士の間において、少なくとも 1 つの半導体チップ 7 0 の側面を通るように形成してもよい。これによれば、第 2 の導電層 9 0 を半導体チップ 7 0 の側面に形成するので、半導体チップ 7 0 同士の間を厚くすることなく、極めて薄い半導体装置を製造することができる。

【 0 1 0 2 】

第 2 の導電層 9 0 を、導電性材料の微粒子を含む溶媒 9 2 を吐出することで形成してもよい。詳しくは、溶媒 9 2 の液滴を、液滴吐出装置 8 6 のノズルから吐

出する。これによれば、溶媒 9 2 を吐出させることで、例えば複数の第 2 の導電層 9 0 を一括して形成することができる。また、あらかじめ決定しておいたパターンに沿って溶媒 9 2 を吐出させれば、無駄なく簡単に第 2 の導電層 9 0 を形成することができる。

【 0 1 0 3 】

導電性材料の微粒子を含む溶媒 9 2 の材料として、例えば、真空冶金株式会社製「パーフェクトゴールド」「パーフェクトシルバー」を使用してもよい。

【 0 1 0 4 】

例えば、インクジェット方式を適用して、溶媒 9 2 の液滴を吐出させてもよい。その場合、液滴吐出装置 8 6 は、インクジェットヘッドであってもよい。インクジェットヘッドは、静電アクチュエータの構造を有し、詳しくはマイクロマシニング技術による微細加工技術を用いて形成された微小構造のアクチュエータを有する。このような微小構造のアクチュエータとしては、その駆動源として静電気力を用いている。インクジェットヘッドは、静電気力を利用してノズルから溶媒 9 2 の液滴を吐出させる。これによれば、インクジェットプリンタ用に実用化された技術を応用することで、高速かつ材料を無駄なく経済的に吐出することが可能である。

【 0 1 0 5 】

あるいは、ディスペンサによって溶媒 9 2 の液滴を吐出させてもよい。ディスペンサは取り扱いやすいので、簡単な工程で第 2 の導電層 9 0 を形成することができる。

【 0 1 0 6 】

第 2 の導電層 9 0 をろう材（軟ろう及び硬ろうのいずれも含む）によって形成してもよい。ろう材は、ハンダペーストであってもよい。可能であれば、ろう材を液滴吐出装置 8 6 で吐出させてもよい。

【 0 1 0 7 】

半導体チップ 7 0 の導電層 5 0 は、上述の導電性材料の微粒子を含む溶媒 9 2 によって配線パターン 8 2 に電氣的に接続してもよいし、ろう材によって配線パターン 8 2 に電氣的に接続してもよい。その場合、溶媒 9 2 又はろう材の液滴を

、インクジェット方式を適用して吐出させてもよい。図 1 3 に示すように、半導体チップ 7 0 同士の電氣的な接続と、半導体チップ 7 0 と配線パターン 8 2 との電氣的な接続とを同時に行えば、製造工程が簡単になる。

#### 【 0 1 0 8 】

図 1 4 に示すように、必要があれば、外部に露出する導電部分（導電層 5 0 及び第 2 の導電層 9 0 など）を被覆部材 8 8 で覆ってもよい。図 1 4 に示す例では、被覆部材 8 8 は、絶縁材料（例えば樹脂）からなるフィルムである。

#### 【 0 1 0 9 】

本実施の形態に係る半導体装置の製造方法によれば、半導体チップ 7 0 の側面に形成された導電層 5 0 によって、複数の積層された半導体チップ 7 0 を電氣的に接続する。導電層 5 0 は、半導体基板 1 0 の状態で一括して形成することができるので、製造工程が簡単である。導電層 5 0 は、他の半導体チップ 7 0 によって覆われることがないので、半導体チップ 7 0 の外形及び電極 1 4 の位置に制限されることなく、設計自由度の高い半導体装置（スタック型の半導体装置）を製造することができる。したがって、薄型かつ高集積の半導体装置を簡単な工程で製造することができる。

#### 【 0 1 1 0 】

こうして、スタック型の半導体装置を製造することができる。図 1 4 では、半導体装置が回路基板に実装されている。この半導体装置は、複数の半導体チップ 7 0 （詳しくは半導体装置 1（図 1 2 参照））と、第 2 の導電層 9 0 と、を含む。第 2 の導電層 9 0 は、少なくとも 1 つの半導体チップ 7 0 の側面に形成されている。これによれば、バンプを介して上下の半導体チップ 7 0 を電氣的に接続するよりも、バンプ高さを省略することができるので、極めて薄い半導体装置を提供することができる。なお、基板 8 0 がインターポーザである場合、この半導体装置は、基板 8 0 をさらに含む。

#### 【 0 1 1 1 】

半導体チップ 7 0 は、例えば、フラッシュメモリ、S R A M（Static RAM）又は D R A M（Dynamic RAM）などの各種メモリであってもよいし、M P U（Micro Processor Unit）又は M C U（Micro Controller Unit）などのマイクロプロセ

ッサであってもよい。複数の半導体チップ 7 0 の組み合わせとして、メモリ同士（例えばフラッシュメモリと S R A M、S R A M 同士、D R A M 同士）又はメモリとマイクロプロセッサなどがある。

#### 【 0 1 1 2 】

例えば、複数の半導体チップ 7 0 の少なくとも 2 つがメモリであるときに、同一配列の導電層 5 0 を第 2 の導電層 9 0 によって電氣的に接続して、それぞれのメモリの同じアドレスのメモリセルに、情報の読み出し又は書き込みを行ってもよい。さらに、チップセレクト端子の接続においてのみ、第 2 の導電層 9 0 を分離しておくことで、同一配列の導電層 5 0 を用いて、少なくとも 2 つ（複数に可能である）の半導体チップ 7 0 を別々にコントロールしてもよい。チップセレクト端子は、例えば、矩形をなす半導体チップ 7 0 の 4 辺に、少なくとも 1 つずつ形成してもよい。チップセレクト端子を各辺ごとに配置を変更して形成すれば、設計上同一の半導体チップ 7 0 を積層した場合でも、各半導体チップ 7 0 を 9 0 ° ずつ回転させれば、4 つの半導体チップ 7 0 を別々にコントロールすることが可能である。

#### 【 0 1 1 3 】

その他の構成は、上述した製造方法によって得られる内容である。

#### 【 0 1 1 4 】

本実施の形態に係る半導体装置によれば、半導体チップ 7 0 の側面の導電層 5 0 から露出する部分が絶縁層で覆われているので、導電層 5 0 以外の部分での、外部との電氣的な導通を遮断することができる。また、導電層 5 0 は他の半導体チップ 7 0 によって覆われることがないので、半導体チップ 7 0 の外形及び電極 1 4 の位置に制限されることなく、設計自由度の高い半導体装置を提供することができる。

#### 【 0 1 1 5 】

また、本実施の形態に係る半導体装置は、上述の製造方法から選択したいずれかの特定事項から導かれる構成を含み、その効果は上述の効果を備える。本実施の形態に係る半導体装置は、上述の製造方法とは異なる方法によって製造されるものを含む。

## 【 0 1 1 6 】

次に、本実施の形態に係る半導体装置（スタック型の半導体装置）の変形例を説明する。なお、以下の説明では、他の形態（上述及び他の変形例）の内容と重複する部分は省略する。

## 【 0 1 1 7 】

図 1 5 は、本実施の形態に係る半導体装置の第 1 の変形例を説明する図である。この半導体装置は、複数の半導体チップ 7 0（詳しくは半導体装置 1（図 1 2 参照））と、第 2 の導電層 9 0 と、を含み、最上層の半導体チップ 7 0 の電極 1 4（詳しくは電極上の導電層の接続部 5 2）にワイヤ 1 0 0 の一方の端部がボンディングされ、他方の端部が配線パターン 8 2 にボンディングされている。そして、複数の半導体チップ 7 0 及びワイヤ 1 0 0 は、樹脂などからなる封止部 1 0 2 によって封止されている。

## 【 0 1 1 8 】

図 1 6 は、本実施の形態に係る半導体装置の第 2 の変形例を説明する図である。この半導体装置は、複数の半導体チップ 7 0（詳しくは半導体装置 1（図 1 2 参照））と、第 2 の導電層 9 0 と、を含み、最下層の半導体チップ 7 0 が基板 8 0 にフェースダウン実装されている。例えば、最下層の半導体チップ 7 0 の電極 1 4 にバンプ 1 0 6 が設けられ、ハンダなどのろう材 1 0 8 を介して、バンプ 1 0 6 と配線パターン 8 2 とが電氣的に接続されてもよい。あるいは、両者の電氣的な接続を、金属接合又は異方性導電材料による接合などで達成してもよい。必要があれば、最下層の半導体チップ 7 0 と基板 8 0 との間に、アンダーフィル材（例えば樹脂） 1 0 4 を設けてもよい。

## 【 0 1 1 9 】

図 1 6 に示すように、少なくとも 1 つ（図 1 6 では上側 3 つ）の半導体チップ 7 0 の電極 1 4 の形成された面は、最下層の半導体チップ 7 0 の電極 1 4 の形成された面とは反対方向を向いてもよい。そして、図 1 6 に示す例では、最上層の半導体チップ 7 0 の電極 1 4 にワイヤ 1 0 0 の一方の端部がボンディングされ、他方の端部が配線パターン 8 2 にボンディングされている。これによれば、最上層及び最下層の両方の半導体チップ 7 0 から配線パターン 8 2 に電氣的に接続さ

せることができる。

#### 【 0 1 2 0 】

図 1 6 に示すように、半導体チップ 7 0 同士の間には絶縁部材 1 1 0（例えば絶縁性の基板）が設けられてもよい。これによって、半導体チップ 7 0 同士が電氣的にショートするのを確実に防ぐことができる。絶縁部材 1 1 0 は、半導体チップ 7 0 の外形の全部と重なってもよいし、一部と重なっていてもよい。図 1 6 に示すように、絶縁部材 1 1 0 を、半導体チップ 7 0 の側面よりも突出するように設けてもよい。これによれば、絶縁部材 1 1 0 の突出部 1 1 2 によって、例えば絶縁部材 1 1 0 の両側（上側と下側）に配置される導電層 5 0 同士が電氣的にショートするのを防ぐことができる。例えば、第 2 の導電層 9 0 を導電性材料の微粒子を含む溶媒を吐出させて形成する場合に、突出部 1 1 2 によって溶媒の流動を規制することができるので、導電層 5 0 同士が電氣的にショートするのを確実に防ぐことができる。

#### 【 0 1 2 1 】

図 1 7 は、本実施の形態に係る半導体装置の第 3 の変形例を説明する図であり、図 1 8 の XVII - XVII 線断面図に相当する。図 1 8 は、半導体装置の側面図である。この半導体装置は、絶縁部材 1 1 0 を有する。図 1 7 に示す例では、最上層の半導体チップ 7 0 とその下層の半導体チップ 7 0 との間に、絶縁部材 1 1 0 が設けられている。そして、絶縁部材 1 1 0 は、半導体チップ 7 0 の外形の一部と重なっている（図 1 8 参照）。その他の構成は第 1 の変形例で説明した内容と同一である。

#### 【 0 1 2 2 】

図 1 8 に示すように、複数の半導体チップ 7 0 の側面には、複数の導電層 5 0 が露出している。複数の導電層 5 0 は、複数行複数列に配列されてもよい。複数の導電層 5 0 は、電極 1 4 と導通してなる第 1 の端子 1 2 0 と、電極 1 4 と導通していない第 2 の端子（ダミー端子） 1 2 2 と、のいずれかである。

#### 【 0 1 2 3 】

第 2 の導電層 9 0 は、半導体チップ 7 0 の高さ方向（図 1 8 では縦方向）に延びるように形成されてもよい。そして、第 2 の導電層 9 0 は、半導体チップ 7 0



の幅方向（図 1 8 では横方向）に一致してなる導電層 5 0 同士を電氣的に接続する。言い換えれば、第 2 の導電層 9 0 は、同一列に配置された複数の導電層 5 0 を電氣的に接続する。その場合、第 2 の導電層 9 0 を、少なくとも 2 つの第 1 の端子 1 2 0 を結ぶように形成する。図 1 8 の最も右側の列に示すように、第 2 の導電層 9 0 は、少なくとも 2 つの第 1 の端子 1 2 0 の間で、少なくとも 1 つの第 2 の端子 1 2 2 を通ってもよい。これによれば、第 2 の導電層 9 0 を第 2 の端子 1 2 2 を避けて引き回さずに済むので、製造工程が簡単である。

#### 【 0 1 2 4 】

第 2 の導電層 9 0 は、半導体チップ 7 0 の幅方向に延びる部分を有してもよい。そして、第 2 の導電層 9 0 は、半導体チップ 7 0 の幅方向にずれてなる導電層 5 0 同士を電氣的に接続する。言い換えれば、第 2 の導電層 9 0 は、異なる列（図 1 8 では隣の列同士であるが 1 列又は複数列を飛ばしてもよい）に配置された複数の導電層 5 0 を電氣的に接続する。その場合、第 2 の導電層 9 0 の一部は、絶縁部材 1 1 0 の突出部 1 1 2 に形成されてもよい。こうすることで、第 2 の導電層 9 0 が他の部材（例えば接続したくない導電層 5 0）と電氣的にショートするのを防ぐことができる。なお、第 2 の導電層 9 0 は、図 1 8 に示す例とは別に同一行に配置された第 2 の端子 1 2 2 を通ってもよい。

#### 【 0 1 2 5 】

図 1 9 は、本実施の形態に係る半導体装置の第 4 の変形例を説明する図であり、図 2 0 の XIX-XIX 線断面図に相当する。図 2 0 は、半導体装置の平面図である。この半導体装置は、半導体チップ 7 0（詳しくは半導体装置 1（図 1 2 参照））と、半導体チップ 7 0 よりも小さい外形を有する半導体チップ 7 1（詳しくは半導体装置 3）と、第 2 の導電層 9 0 と、を含む。半導体装置 3 のその他の構成は、上述の半導体装置 1 の構成と同一である。図 1 9 に示す例では、複数の半導体チップ 7 0 が積層され、最上層に半導体チップ 7 1 がさらに積層されている。そして、図 2 0 に示すように、最上層の下層の半導体チップ 7 0 には、電極 1 4 の形成された面に、導電層 5 0 の一部が配線となって引き回されている。その場合、導電層 5 0 は、半導体チップ 7 0 の端部に形成された電極 1 4 から中央部に延びるように形成されてもよい。そして、半導体チップ 7 0 の中央部に、半導体

チップ 7 1 が積層されてもよい。第 2 の導電層 9 0 は、半導体チップ 7 0, 7 1 の導電層 5 0 同士を電氣的に接続する。

【 0 1 2 6 】

上述した半導体装置を有する電子機器として、図 2 1 には、ノート型パーソナルコンピュータ 1 0 0 0 が示され、図 2 2 には、携帯電話 2 0 0 0 が示されている。

【 0 1 2 7 】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図 1】 図 1 は、本発明の実施の形態で使用される半導体基板の一部を示す図である。

【図 2】 図 2 は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図 3】 図 3 は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図 4】 図 4 は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図 5】 図 5 は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図 6】 図 6 は、図 5 の VI - VI 線断面図である。

【図 7】 図 7 は、本発明の実施の形態に係る半導体装置の製造方法の変形例を示す図である。

【図 8】 図 8 は、本発明の実施の形態に係る半導体装置の製造方法の変形

例を示す図である。

【図 9】 図 9 は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図 1 0】 図 1 0 は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図 1 1】 図 1 1 は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図 1 2】 図 1 2 は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図 1 3】 図 1 3 は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図 1 4】 図 1 4 は、本発明の実施の形態に係る半導体装置を示す図である。

【図 1 5】 図 1 5 は、本発明の実施の形態に係る半導体装置の第 1 の変形例を示す図である。

【図 1 6】 図 1 6 は、本発明の実施の形態に係る半導体装置の第 2 の変形例を示す図である。

【図 1 7】 図 1 7 は、本発明の実施の形態に係る半導体装置の第 3 の変形例を示す図である。

【図 1 8】 図 1 8 は、本発明の実施の形態に係る半導体装置の第 3 の変形例を示す図である。

【図 1 9】 図 1 9 は、本発明の実施の形態に係る半導体装置の第 4 の変形例を示す図である。

【図 2 0】 図 2 0 は、本発明の実施の形態に係る半導体装置の第 4 の変形例を示す図である。

【図 2 1】 図 2 1 は、本発明の実施の形態に係る電子機器を示す図である。

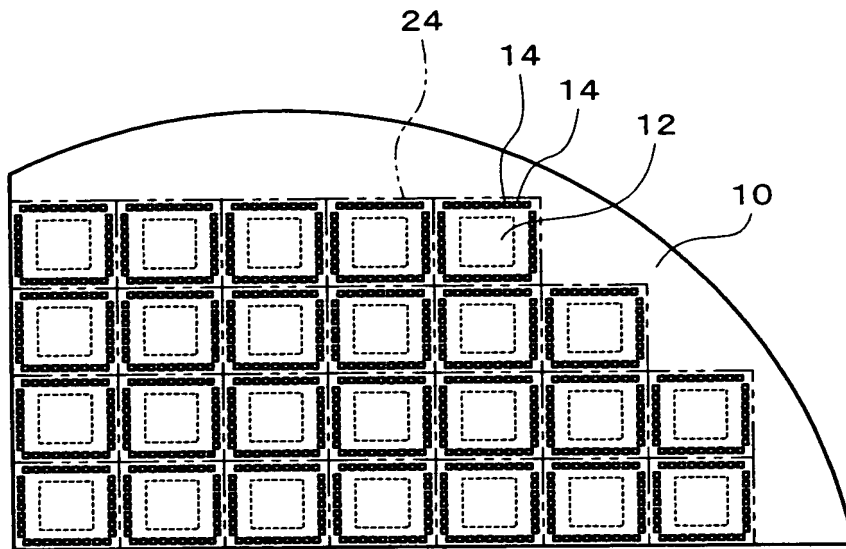
【図 2 2】 図 2 2 は、本発明の実施の形態に係る電子機器を示す図である。

【符号の説明】

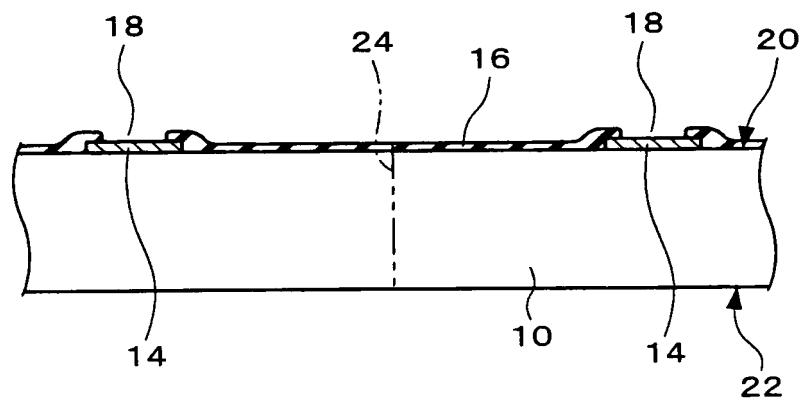
1 0 半導体基板、 1 2 集積回路、 1 4 電極、 2 0 第 1 の面、  
2 2 第 2 の面、 3 0, 3 2, 3 4 溝、 4 0, 4 4, 4 6 絶縁層、  
5 0, 5 4, 5 6 導電層、 7 0 半導体チップ、 8 0 基板、  
8 2 配線パターン、 9 0 第 2 の導電層、 9 2 溶媒

【書類名】 図面

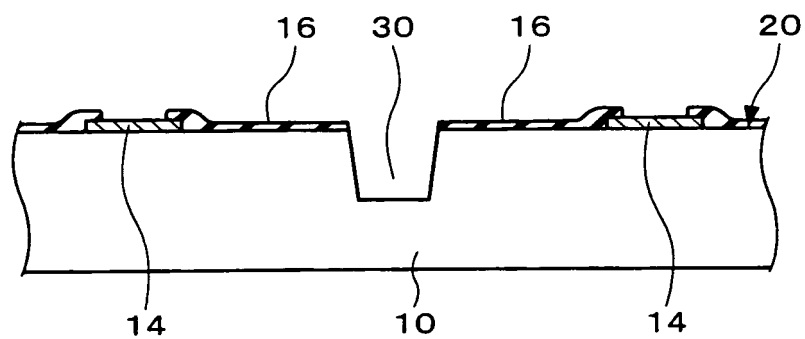
【図 1】



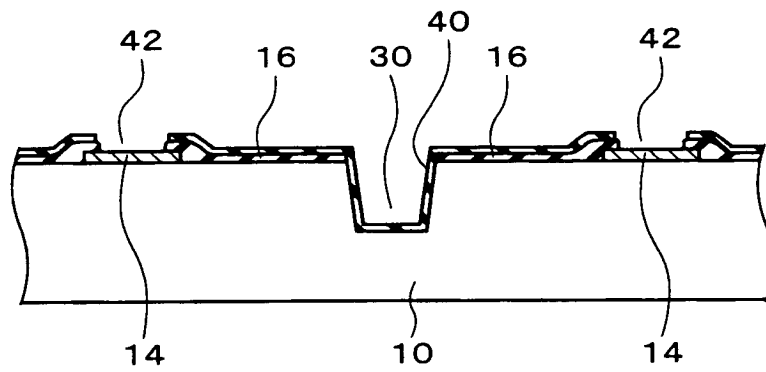
【図 2】



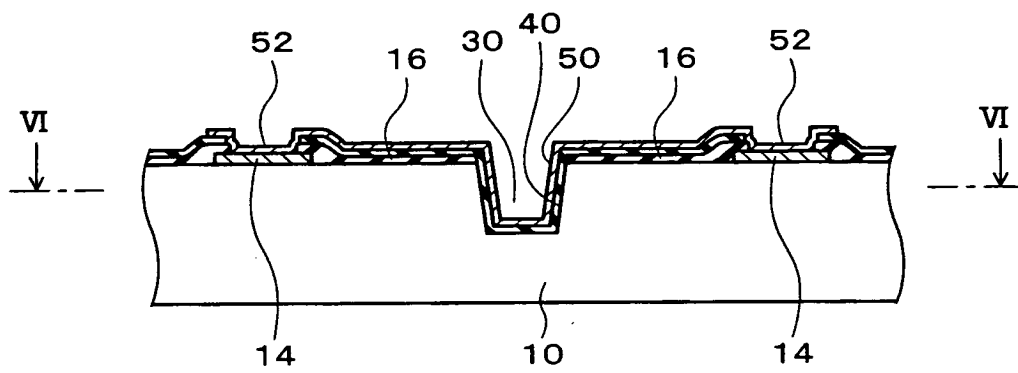
【図 3】



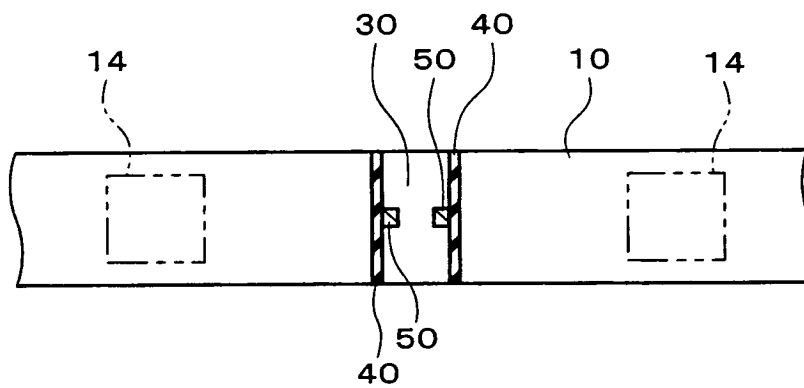
【図 4】



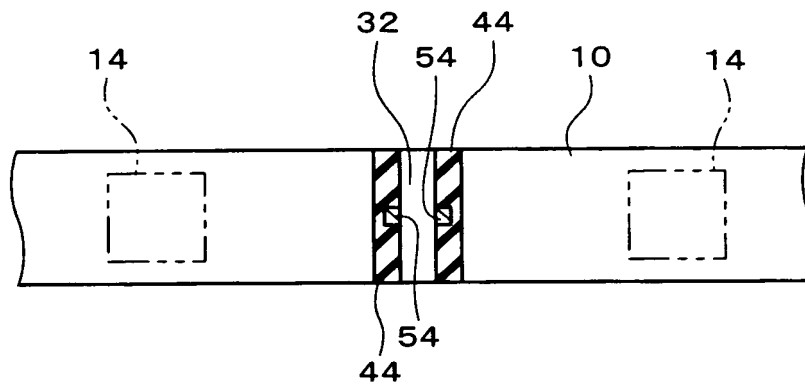
【図 5】



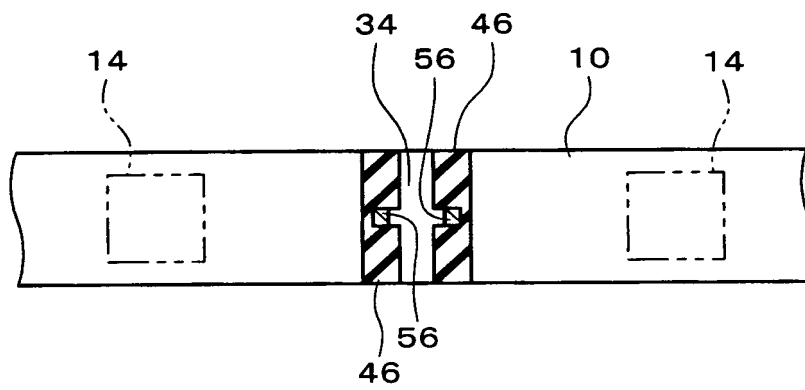
【図 6】



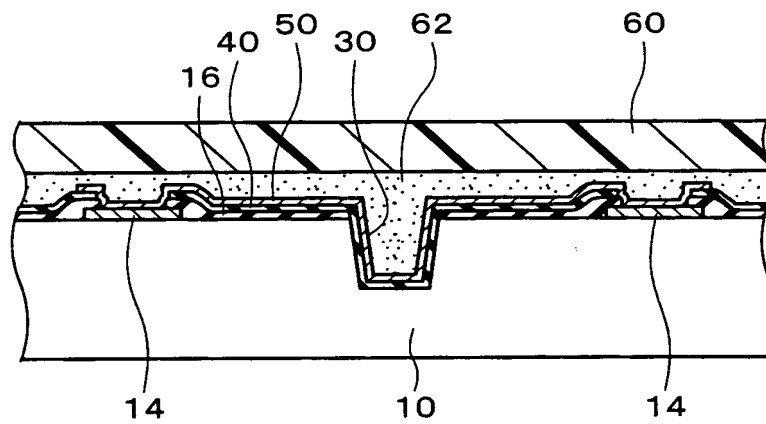
【図 7】



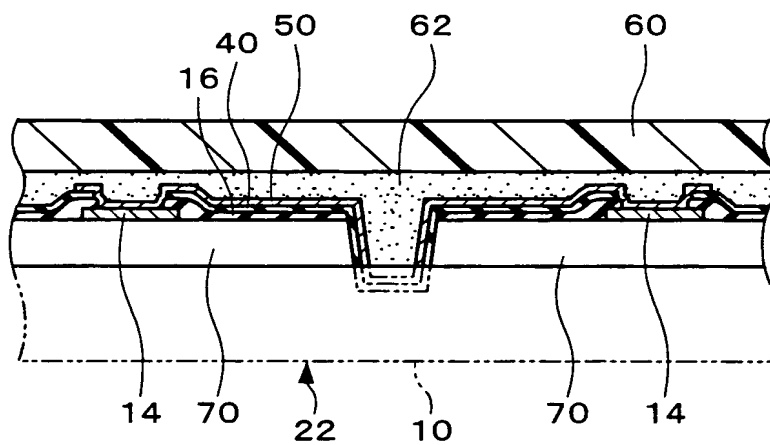
【図 8】



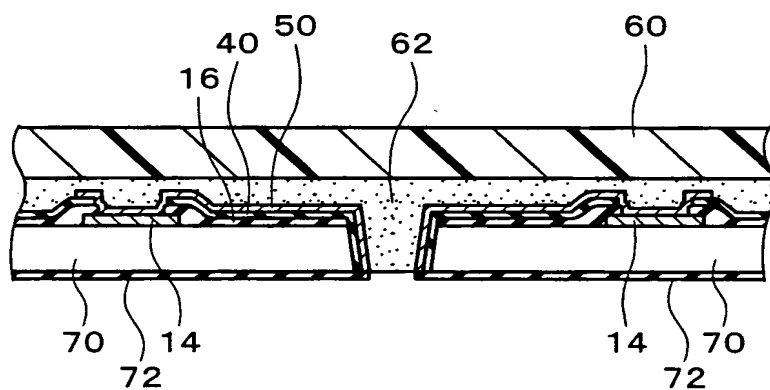
【図 9】



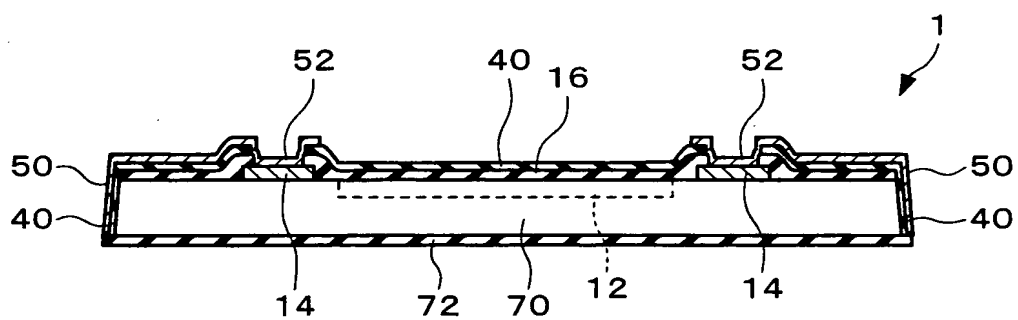
【図10】



【図11】

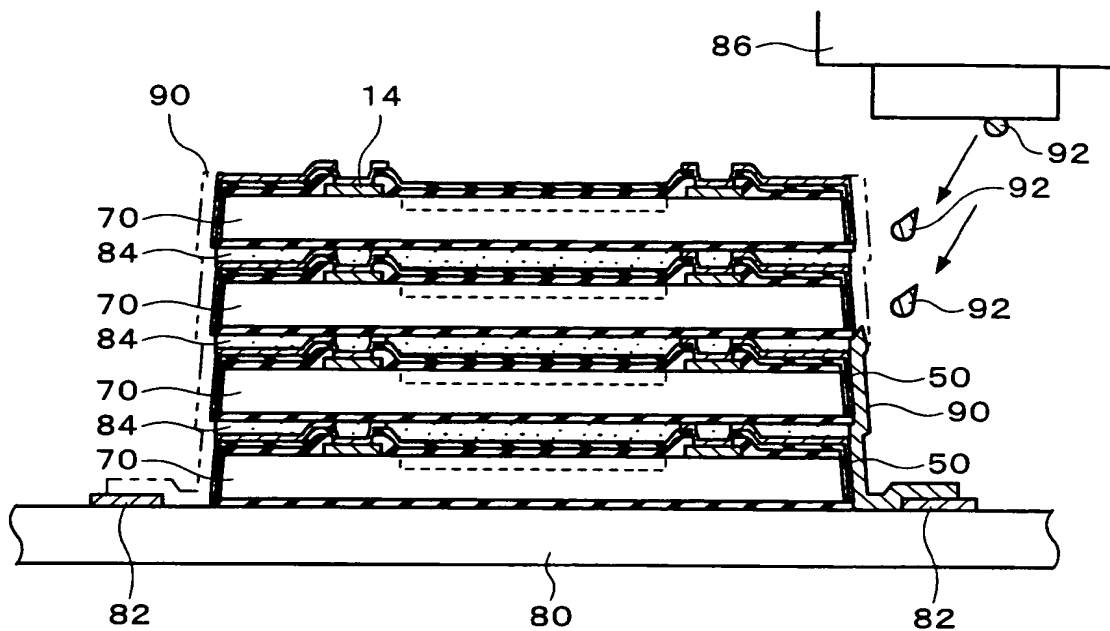


【図12】

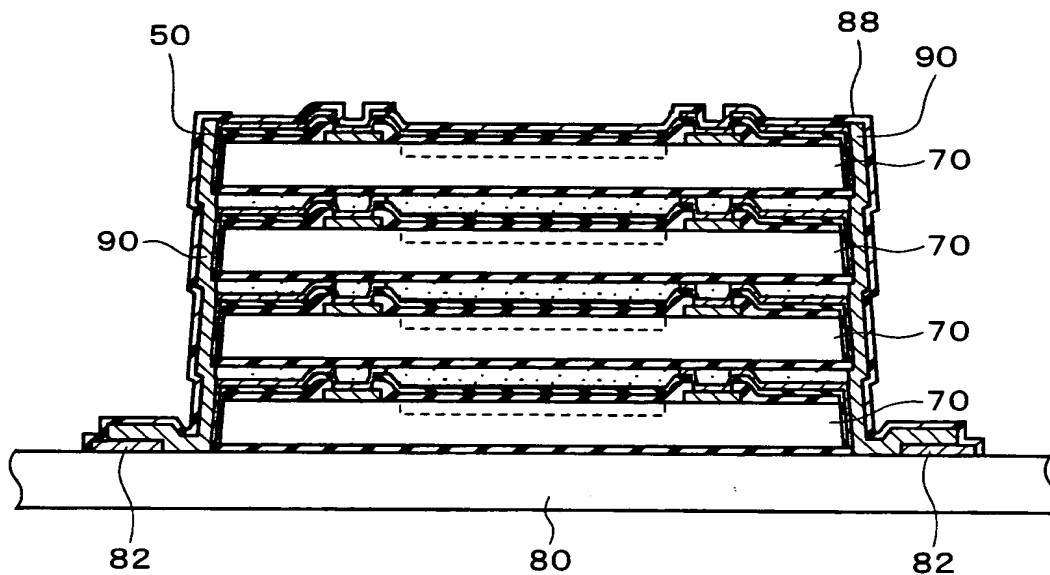




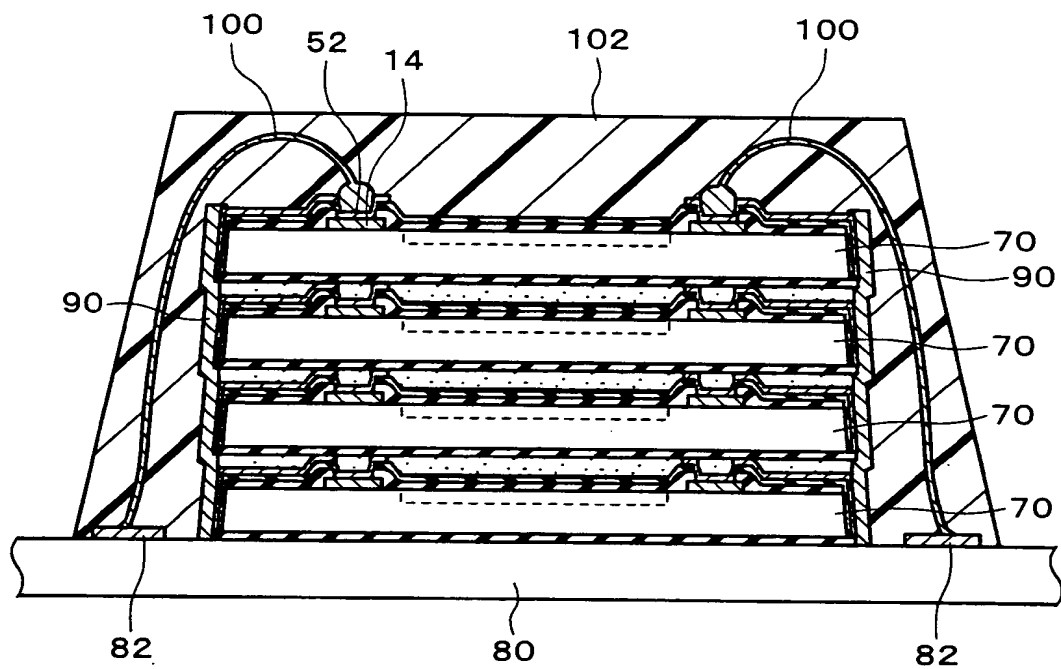
【図13】



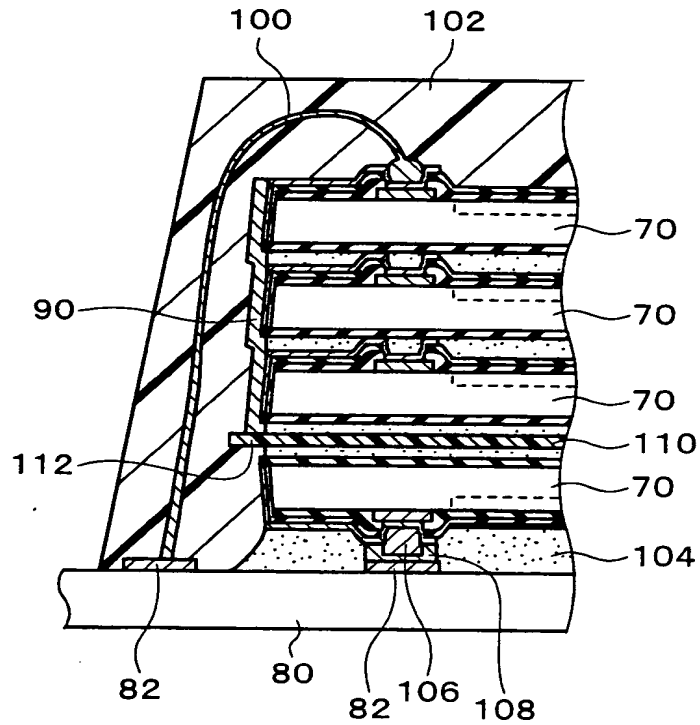
【図14】



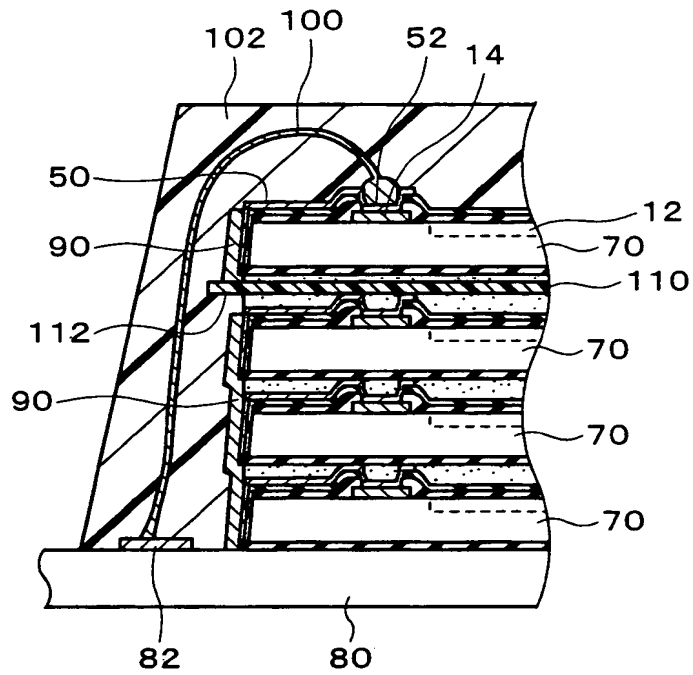
【図 15】



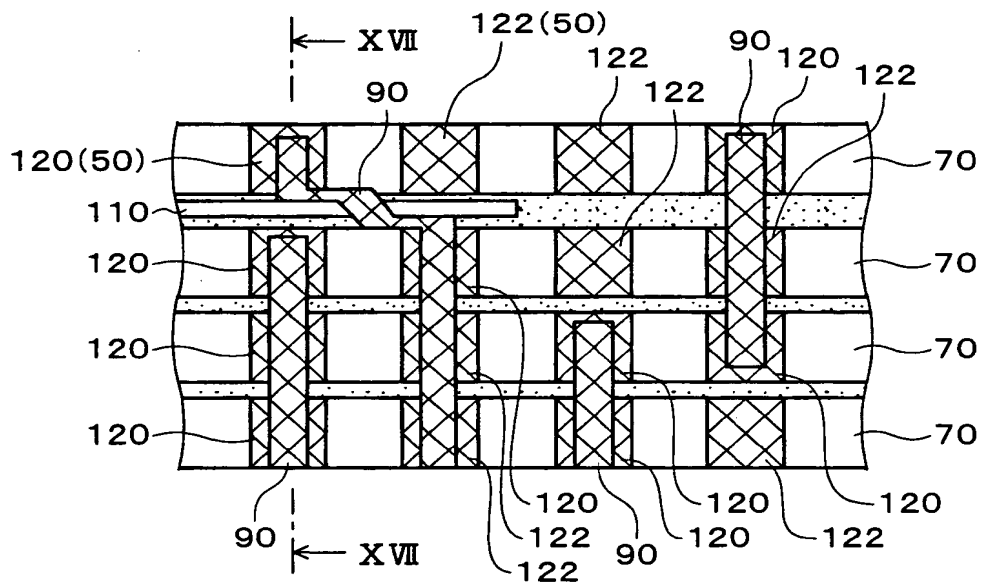
【図 16】



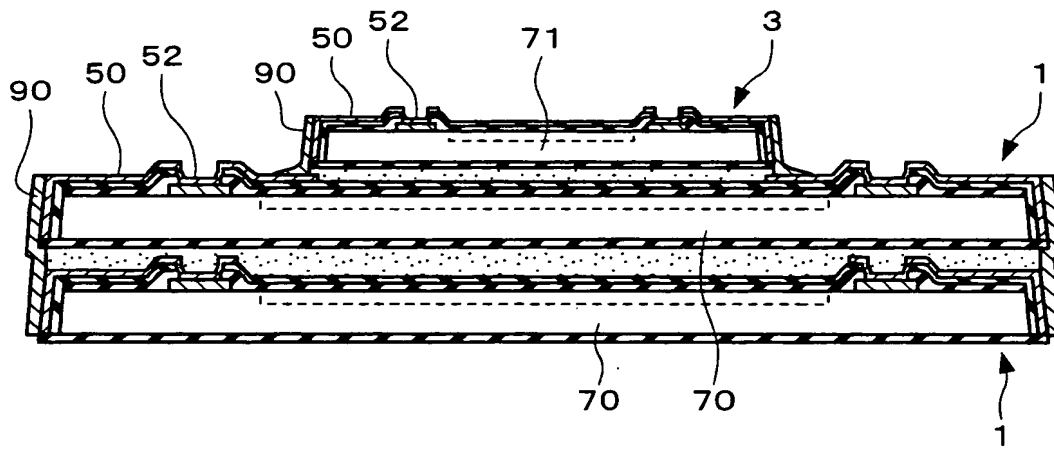
【図 17】



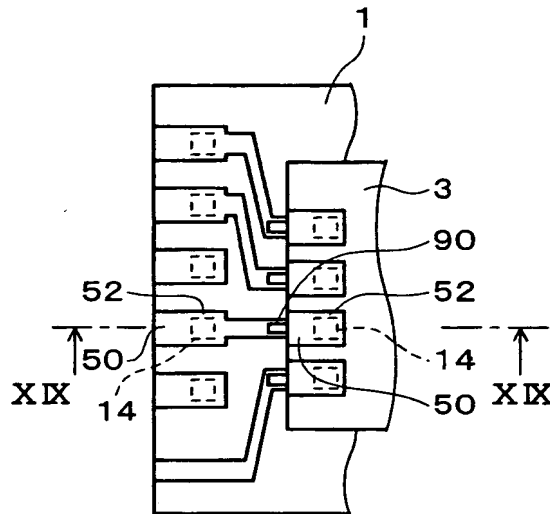
【図 18】



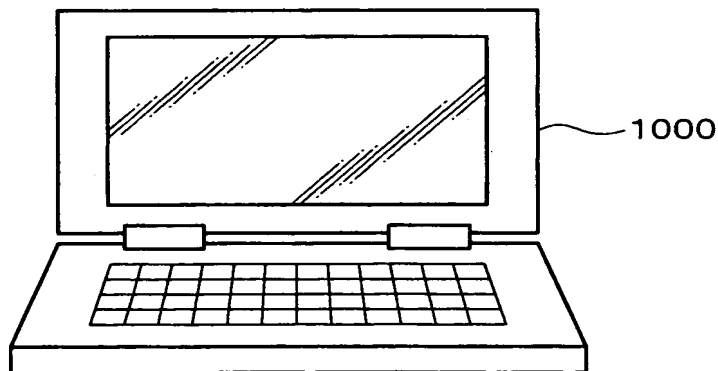
【図 19】



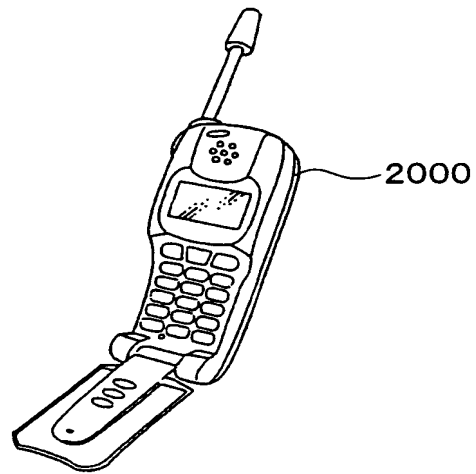
【図 20】



【図 21】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 薄型かつ高集積の半導体装置を簡単な工程で製造することにある。

【解決手段】 集積回路 1 2 及び電極 1 4 が形成された半導体基板 1 0 に第 1 の面 2 0 から溝 3 0 を形成する。少なくとも溝 3 0 の内面に絶縁層 4 0 を形成する。溝 3 0 の内面で絶縁層 4 0 上に導電層 5 0 を形成する。半導体基板 1 0 を第 1 の面 2 0 とは反対側の第 2 の面 2 2 から溝 3 0 が露出する厚さまで研磨して、半導体基板 1 0 を、導電層 5 0 が側面に露出してなる複数の半導体チップ 7 0 に分割する。複数の半導体チップ 7 0 を積層する。複数の半導体チップ 7 0 のうち、いずれかの半導体チップ 7 0 の導電層 5 0 と、他の半導体チップ 7 0 の導電層 5 0 と、を電氣的に接続する。

【選択図】 図 1 3

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社